

PATENT

Docket No. JCLA10853

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : TZYY-JANG TSENG et al.

Application No. : 10/655,845

Filed : September 04, 2003

For : STANDARDIZED CIRCUIT BOARD CORE

Examiner :

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 92203766 filed on
March 12, 2003.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA10853).

Date: 12/17/2003

By: 

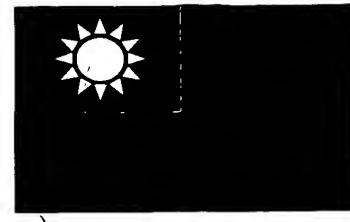
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/655,845

JOLIA 10853



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 12 日

Application Date

申請案號：092203766

Application No.

申請人：欣興電子股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 9 月 16 日
Issue Date

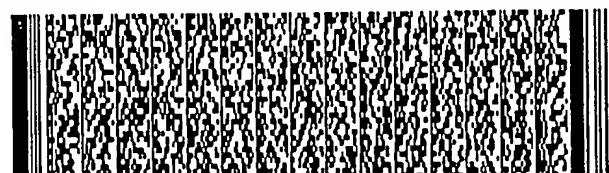
發文字號：09220932320
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	規格化電路板板材
	英 文	STANDARD PRINTED CIRCUIT BOARD CORE
二、 創作人 (共1人)	姓 名 (中文)	1. 曾子章
	姓 名 (英文)	1. Tzyy Jang Tseng
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市湖濱二路36號
	住居所 (英 文)	1. No. 36, Hu-Ping II Rd., Hsinchu,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 欣興電子股份有限公司
	名稱或 姓 名 (英文)	1. Unimicron Technology Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 桃園縣桃園市龜山工業區興邦路38號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 38, Hsing Pong Rd., Kwei-San Industrial Exended Zone, Taoyuan, Taiwan, R. O. C.
	代表人 (中文)	1. 曾子章
	代表人 (英文)	1. Tzyy Jang Tseng



10853twf.ptd

四、中文創作摘要 (創作名稱：規格化電路板板材)

一種規格化或局部規格化電路板板材，其至少包括一介電芯層及多個導電栓塞，其中介電芯層具有一第一面及對應之一第二面，且這些導電栓塞更分別貫穿介電芯層，而分別連接介電芯層之第一面及第二面，且這些導電栓塞係彼此以陣列或等間距的方式，排列於介電芯層之中。此外，此規格化電路板板材更可包括二導電層，其分別配置於介電芯層之第一面及第二面。

伍、(一)、本案代表圖為：第 4A 圖

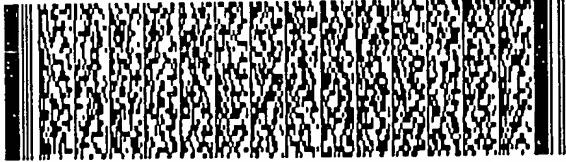
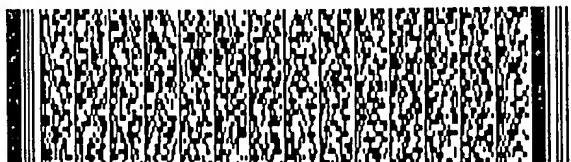
(二)、本案代表圖之元件代表符號簡單說明：

202：規格化電路板板材 210：介電芯層

212：導電栓塞 220a、220b：導電層

陸、英文創作摘要 (創作名稱：STANDARD PRINTED CIRCUIT BOARD CORE)

A standard or partial standard print circuit board core comprises a dielectric core and a plurality of conductive posts, wherein the dielectric core has a first surface and a second surface. The conductive posts are array arranged or in the same distance with each other in at least partial the dielectric core. Besides, the standard print circuit board core further comprises two conductive layers that are respectively disposed on the first surface and the second surface of the dielectric core.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

二、主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項第一款但書或第二款但書規定之期間

日期：



五、創作說明 (1)

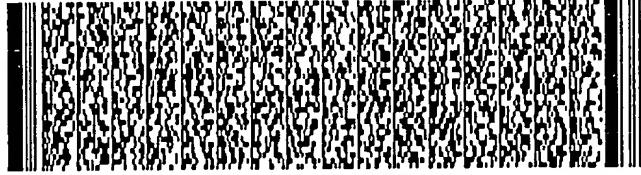
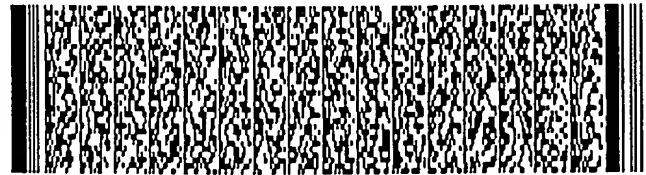
【新型所屬之技術領域】

本創作是有關於一種電路板板材，且特別是有關於一規格化電路板板材，其已預先製作多個導電栓塞 (conductive post)，並以陣列或等間距的方式排列於其介電芯層之中。

【先前技術】

近年來，隨著電子技術的日新月異，許多高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，且這些電子產品更不斷地朝向輕、薄、短、小的趨勢設計發展。各種電子產品均具有至少一主機板，其係由許多電子元件及電路板所構成，而電路板之功能係在於搭載及電性連接各個電子元件，使得這些電子元件能夠彼此電性連接，而目前最常見之電路板係為印刷電路板 (Printed Circuit Board)。

請參照第1A～1F圖，其繪示習知之一種四層導線層之印刷電路板的局部流程剖視圖。如第1A圖所示，首先提供一雙面板，其包括一介電芯層 (dielectric core layer) 110、導電層120a及導電層120b，其中導電層120a及導電層120b例如為二銅箔層，並分別配置於介電芯層110之兩面。接著如第1B圖所示，利用機械鑽孔或雷射鑽孔等鑽孔 (drill) 的方式，同時貫穿介電芯層110與二導電層120a、120b，用以形成多個貫孔112。之後，如第1C圖所示，再利用電鍍 (plating) 等方式，將導電材料形成於二導電層120a、120b之表面，用以形成導電層114a及導電層114b，並同時將



五、創作說明 (2)

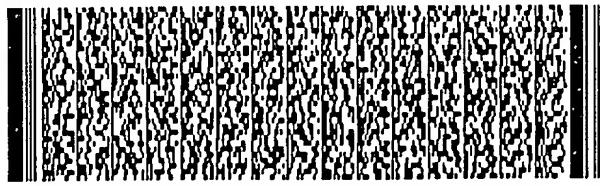
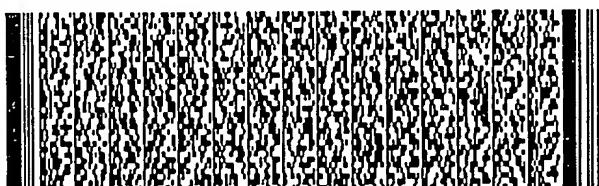
導電材料形成於這些貫孔 112 之內壁面，用以形成多個導電層 114c。值得注意的是，導電層 120a 及導電層 114a 可視為一導電層 122a，而導電層 120b 及導電層 114b 可視為同一導電層 122b。

然後，如第 1D 圖所示，將介電材料 116 填入貫孔 112 之內，以預防貫孔 112 之內產生空孔 (void)。再者，如第 1E 圖所示，以微影 (photolithography)、蝕刻 (etching) 的方式，圖案化導電層 122a 及導電層 122b，用以形成所需之導線及接合墊等。最後，如第 1F 圖所示，分別堆疊介電層 130a、130b 及導電層 140a、140b (例如二銅箔層) 於介電芯層 110 之兩面，接著可疊壓 (laminating) 這些材料層，而形成一四層導電層之印刷電路板的半成品。

就習知技術而言，在利用疊壓的方式製造印刷電路板時，為了電性連接印刷電路板之相鄰或不相鄰的已圖案化導電層，必須利用鍍通孔 (Plated Through Hole, PTH) 之製程來達成，意即必須在印刷電路板上進行貫孔之形成、鍍通孔 (plated through hole) 之導電層的形成及介電材料之填入等動作，始能經由鍍通孔之導電層來電性連接印刷電路板之相鄰或不相鄰的已圖案化導電層。值得注意的是，由於目前印刷電路板之製程必須對應特定用途 (application specification) 來製作印刷電路板，使得每一特定用途之印刷電路板均需要較長的設計及製程週期。

【新型內容】

因此，本創作之目的在提出一種規格化或局部規格化電



五、創作說明 (3)

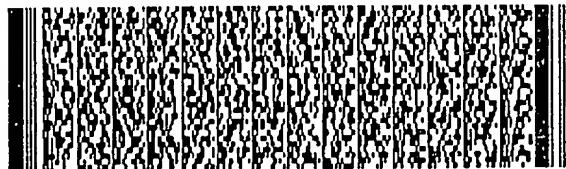
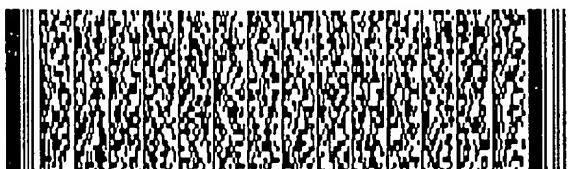
路板板材，用以縮短印刷電路板之設計及生產週期，進而降低印刷電路板之製作成本。

為達本創作之上述目的，本創作提出一種規格化或局部規格化電路板板材，其至少包括一介電芯層及多個導電栓塞，其中介電芯層具有一第一面及對應之一第二面，且這些導電栓塞更分別貫穿介電芯層，而分別連接介電芯層之第一面及第二面，且這些導電栓塞係彼此以陣列或等間距的方式，排列於介電芯層之中。此外，此規格化電路板板材更可包括二導電層，其分別配置於該介電芯層之該第一面及該第二面。

依照本創作的較佳實施例所述，此規格化電路板板材更可包括二導電層，其分別配置於上述之介電芯層之第一面及第二面上。

本創作之規格化電路板板材乃是預先製作多個導電栓塞於局部或全部之介電芯層之中，並且這些導電栓塞更以陣列或等間距的方式排列，於介電芯層之中。因此，當採用本創作之規格化電路板板材來製作印刷電路板時，將無須再經過習知之繁瑣的鑽孔、電鍍及塞孔等製程，即可直接圖案化介電芯層之兩面導電層，如此將有助於簡化印刷電路板之製程步驟，因而縮短印刷電路板之設計及製程週期，進而降低印刷電路板之製作成本。

為讓本創作之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

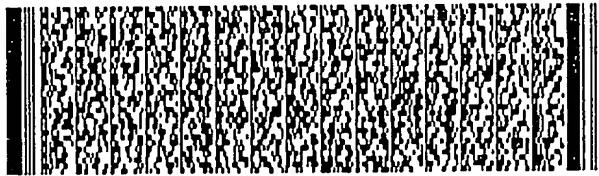
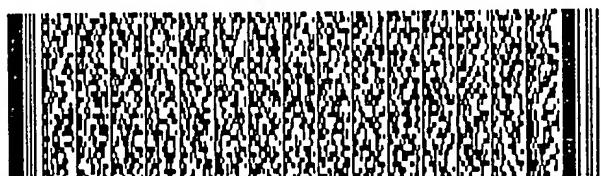


五、創作說明 (4)

【實施方式】

請參考第2A、2B圖，其分別繪示本創作之較佳實施例，規格化電路板板材，其兩導電層未圖案化及已圖案化的局部剖面圖。本較佳實施例並不限於四層導電層之印刷電路板，亦可應用於四層以上之多層導電層的印刷電路板。首先，如第2A圖所示，本實施例之規格化電路板板材201包括一介電芯層210及多個導電栓塞212，其中介電芯層210具有一第一面210a及對應之一第二面210b，且這些導電栓塞212更分別貫穿介電芯層210，而分別連接介電芯層210之第一面210a及第二面210b，且這些導電栓塞212係彼此以陣列或等間距的方式，排列於介電芯層210之中，使得任二相鄰之導電栓塞212的間距為P。其中，介電芯層210之材質例如是添加玻璃纖維(glass fiber)之樹脂(resin)，用以提升介電芯層210之結構強度，或是介電芯層210之材質還包括高分子聚合物(polymer)、聚醯亞胺(polyimide)或液晶化合物(Liquid Crystal Polymer)等。

同樣如第2A圖所示，規格化電路板板材201更可包括導電層220a及導電層220b，其分別配置於介電芯層210之第一面210a及第二面210b，其中導電層220a及導電層220b之材質導電性佳之材質，例如金屬銅、其他金屬或具導電性之化合物，且導電層220a及導電層220b亦可為一複合金屬層。接著，如第2B圖所示，例如以微影、蝕刻的方式，來圖案化此規格化電路板板材之導電層220a及導電層220b，使得導電層220a及導電層220b形成導線及接合墊，使得此規格化電路板



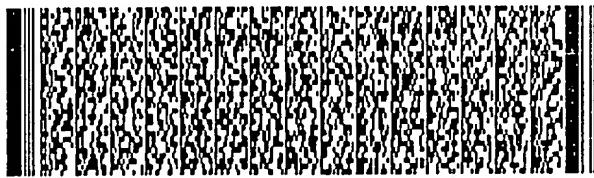
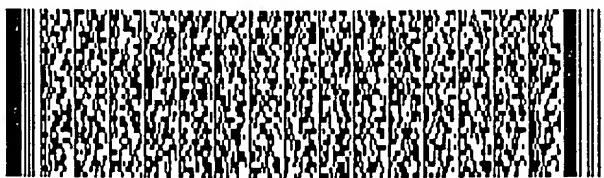
五、創作說明 (5)

板材乃一般的雙面印刷電路板製作到最外層的半成品，如習知之第1E圖所示。

請參考第3圖，其繪示本創作之較佳實施例之規格化電路板板材，其應用於一種四層導線層之印刷電路板製程的局部剖面圖。首先提供兩導電層220a、220b均已圖案化之一規格化電路板板材202，並分別堆疊一介電層230a、230b及一導電層240a、240b（例如銅箔層或其他複合金屬層）於介電芯層210之兩面，接著疊壓（laminate）這些材料層，而形成一四層導電層之印刷電路板的半成品。值得注意的是，介電層230a亦可採用僅具有介電芯層210及導電栓塞212的規格化電路板板材，故可藉由這些陣列或等間距排列之導電栓塞212，來電性連接兩鄰近之導電層220a及導電層240a。此外，介電層230b亦可採用與介電層230a相同之結構，即僅具有介電芯層210及導電栓塞212的規格化電路板材。

請參考第4A、4B圖，其分別繪示本創作之較佳實施例之規格化電路板板材，其兩導電層未圖案化及已圖案化的立體示意圖。首先如第4A圖所示，本創作之規格化電路板板材202的導電栓塞212乃是以陣列或等間距的方式，排列於介電芯層210之中，接著如第4B圖所示，可依照設計上的需要，圖案化介電芯層210之兩面的導電層220a及導電層220b，用以形成導線（trace）及接合墊（bonding pad），其中接合墊252a係可經由導線250，而電性連接至接合墊252b。

請依序參考第5A、5B圖，其分別繪示本創作之較佳實施例的規格化電路板板材，其導電栓塞之兩種等間距排列方式



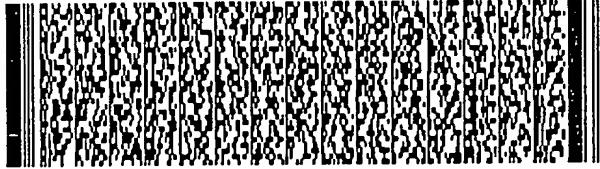
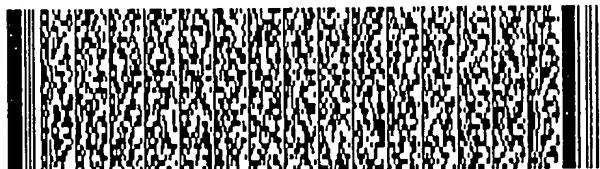
五、創作說明 (6)

的俯視圖。首先，如第5A圖所示，就規格化電路板板材203而言，這些導電栓塞212係可以面陣列 (area array) 的方式，排列於介電芯層210之中。其次，如第5B圖所示，就規格化電路板板材204而言，導電栓塞212更可以蜂窩狀 (honeycomb) 的方式，排列於介電芯層210之中。

請參考第6圖，其繪示本創作之較佳實施例的規格化電路板板材，其導電栓塞僅排列於局部之介電芯層之中的俯視圖。就規格化電路板板材205而言，這些導電栓塞212乃是排列於局部之介電芯層210之中，例如是介電芯層210之多個局部區域。

綜上所述，本創作之規格化電路板板材乃是預先製作多個導電栓塞於局部或全部之介電芯層之中，且這些導電栓塞更以等間距的方式排列於介電芯層之中。因此，當採用本創作之規格化電路板板材來製作印刷電路板時，將無須再經過習知之繁瑣的鍍通孔製程 (Plated Through Hole)，其包括鉆孔、電鍍及塞孔等多項步驟，即可直接圖案化介電芯層之兩面導電層，如此將有助於簡化印刷電路板之製程步驟，因而縮短印刷電路板之設計及製程週期，進而降低印刷電路板之製作成本。

雖然本創作已以一較佳實施例揭露如上，然其並非用以限定本創作，任何熟習此技藝者，在不脫離本創作之精神和範圍內，當可作各種之更動與潤飾，因此本創作之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

第1A～1F圖繪示習知之一種四層導線層之印刷電路板局部流程剖視圖。

第2A、2B圖分別繪示本創作之較佳實施例之規格化電路板板材，其兩導電層未圖案化及已圖案化的局部剖面圖。

第3圖，其繪示本創作之較佳實施例之規格化電路板板材，其應用於一種四層導線層之印刷電路板製程的局部剖面圖。

第4A、4B圖分別繪示本創作之較佳實施例之規格化電路板板材，其導電層未圖案化及已圖案化的立體示意圖。

第5A、5B圖分別繪示本創作之較佳實施例的規格化電路板板材，其導電栓塞之兩種等間距排列方式的俯視圖。

第6圖繪示本創作之較佳實施例的規格化電路板板材，其導電栓塞排列於局部之介電芯層之中的俯視圖。

【圖式標示說明】

110：介電芯層

120a：導電層

120b：導電層

112：貫孔

114b：導電層

114c：導電層

122a：導電層

122b：導電層

130：介電層

140：導電層

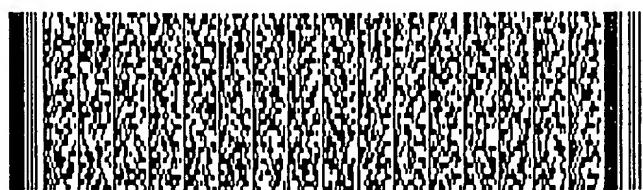
201、202、203、204、205：規格化電路板板材

210：介電芯層

210a：第一面

210b：第二面

212：導電栓塞



圖式簡單說明

220a : 導電層

220b : 導電層

230a : 介電層

230b : 介電層

240a : 導電層

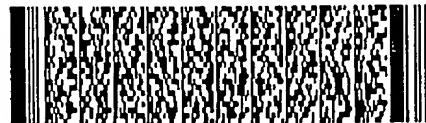
240b : 導電層

250 : 導線

252a : 接合墊

252b : 接合墊

P : 間距

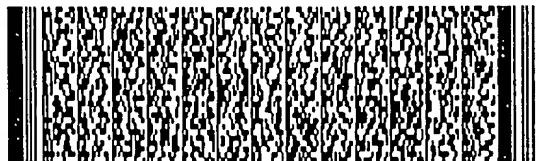


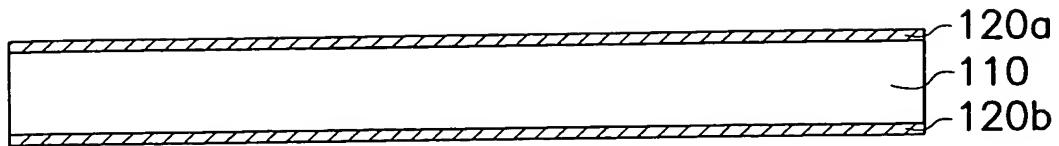
六、申請專利範圍

1. 一種規格化電路板板材，至少包括：

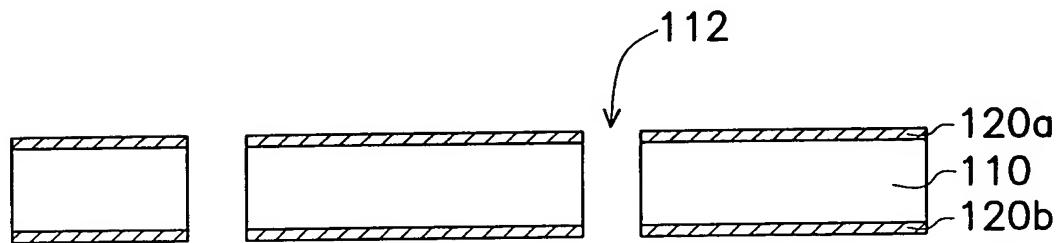
一介電芯層，具有一第一面及對應之一第二面；以及、複數個導電栓塞，分別貫穿該介電芯層，而分別連接該介電芯層之該第一面及該第二面，且該些導電栓塞係陣列及等間距其中之一的方式，排列於至少局部之該介電芯層之中。

2. 如申請專利範圍第1項所述之規格化電路板板材，更包括二導電層，其分別配置於該介電芯層之該第一面及該第二面。

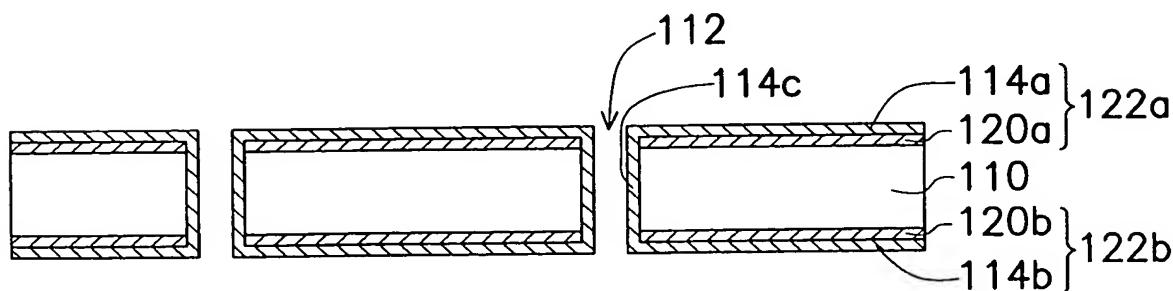




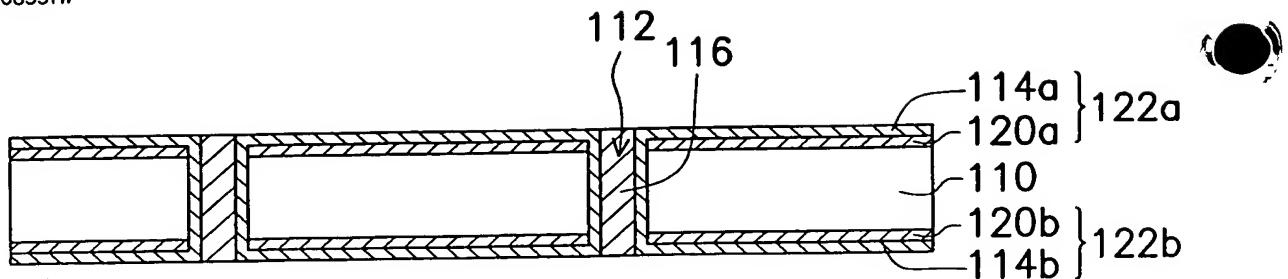
第 1A 圖



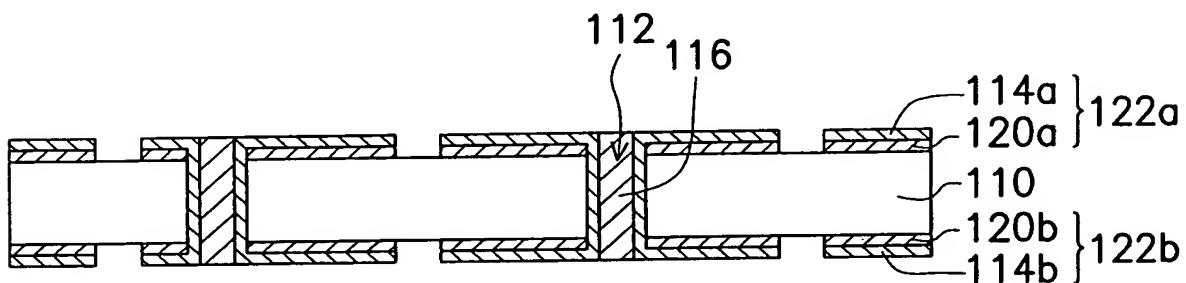
第 1B 圖



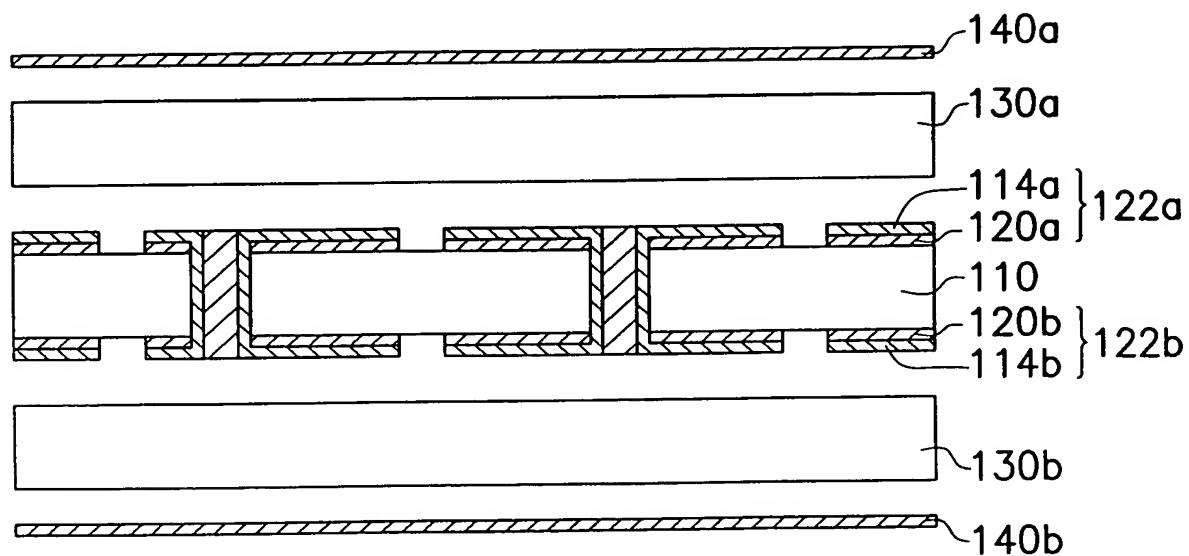
第 1C 圖



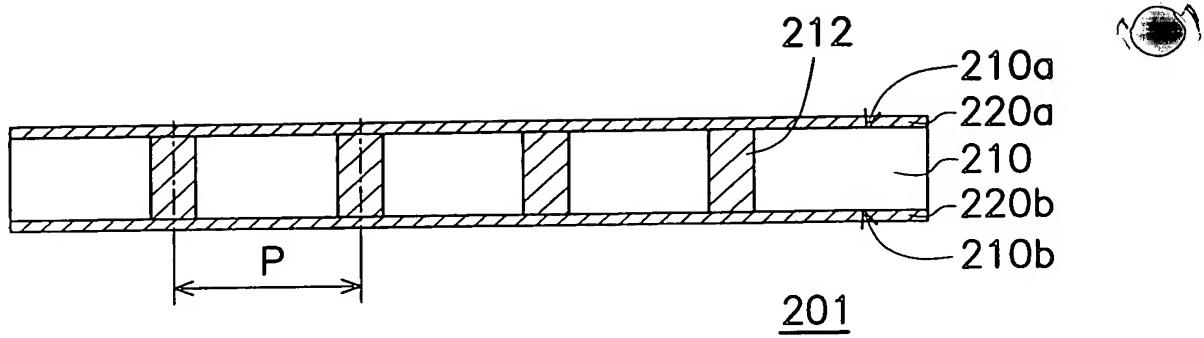
第 1D 圖



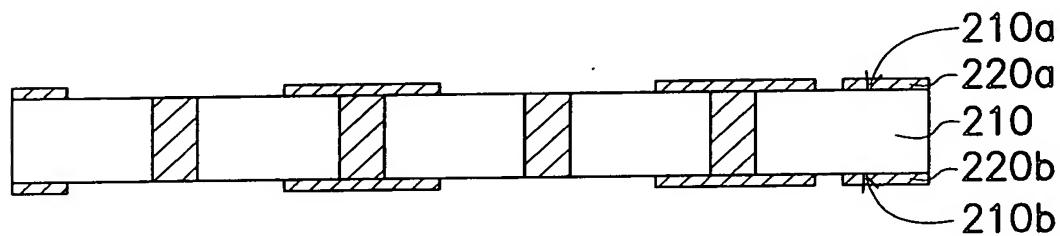
第 1E 圖



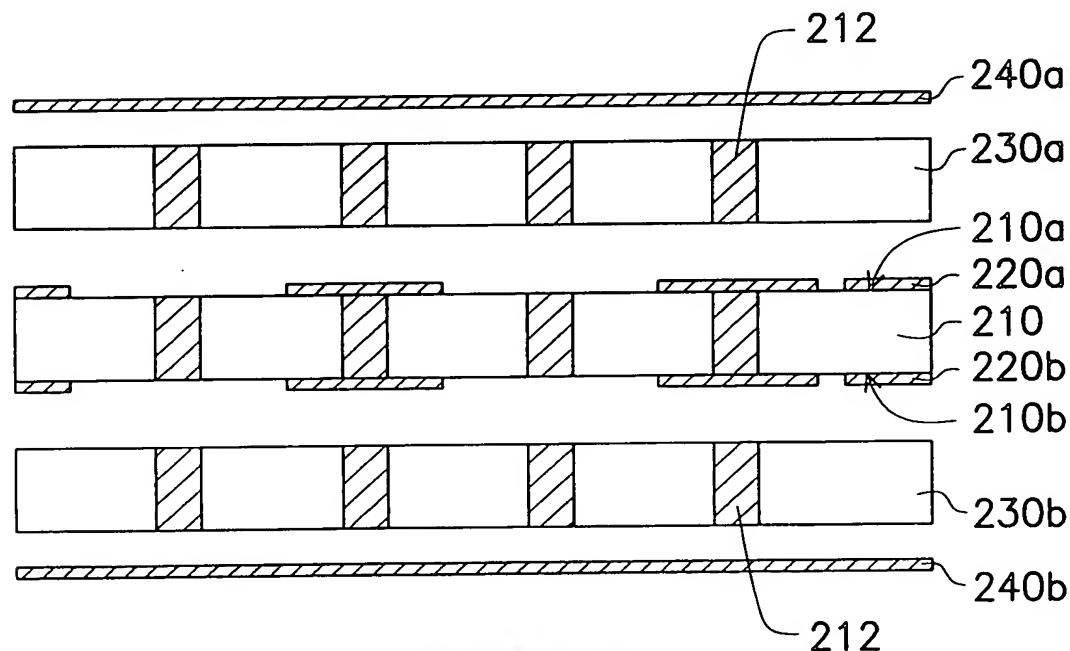
第 1F 圖



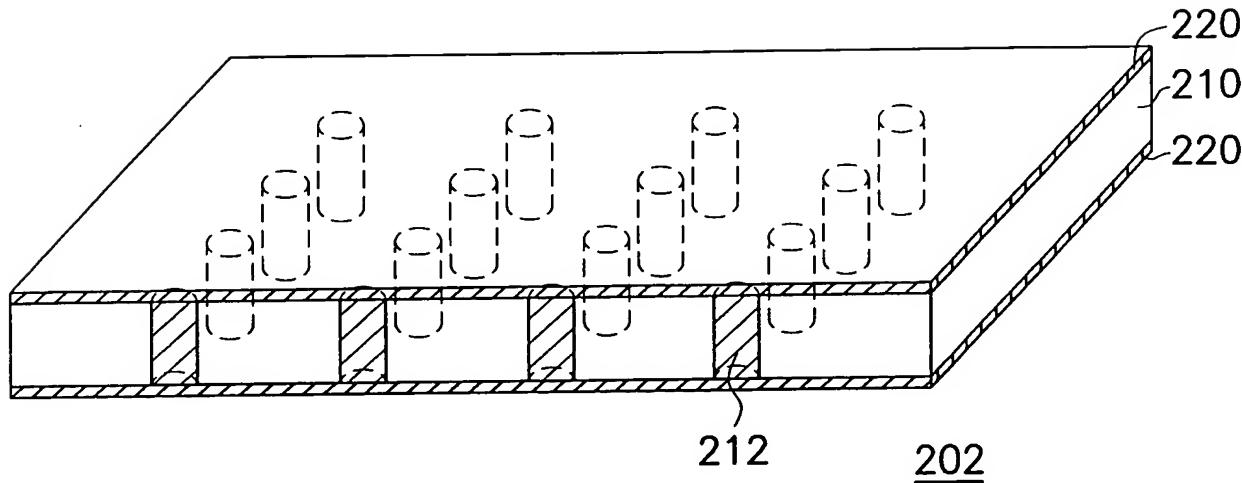
第 2A 圖



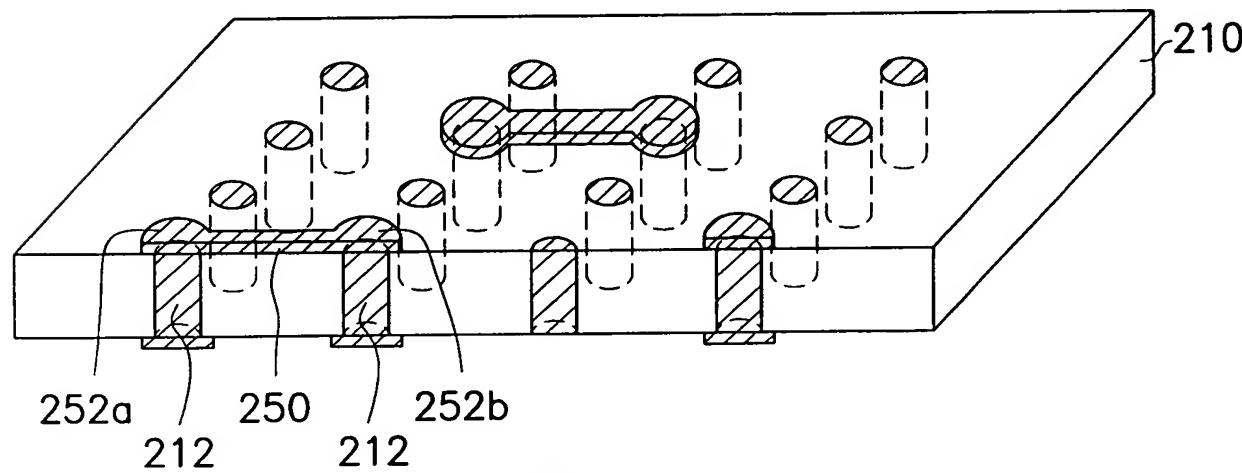
第 2B 圖



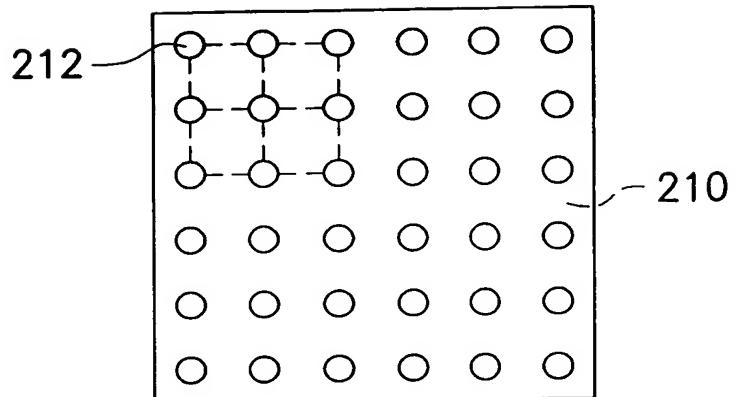
第 3 圖



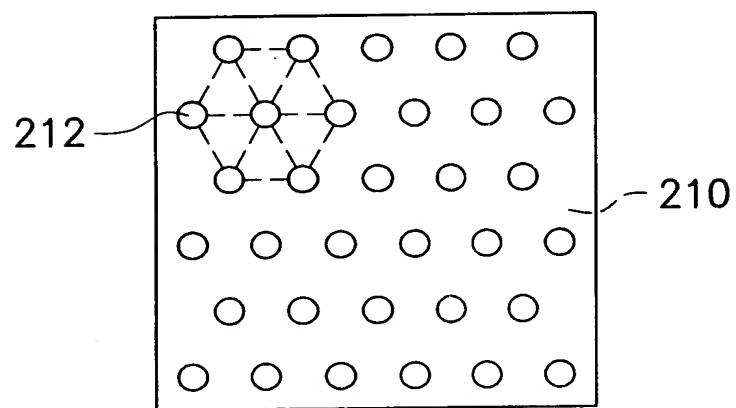
第 4A 圖



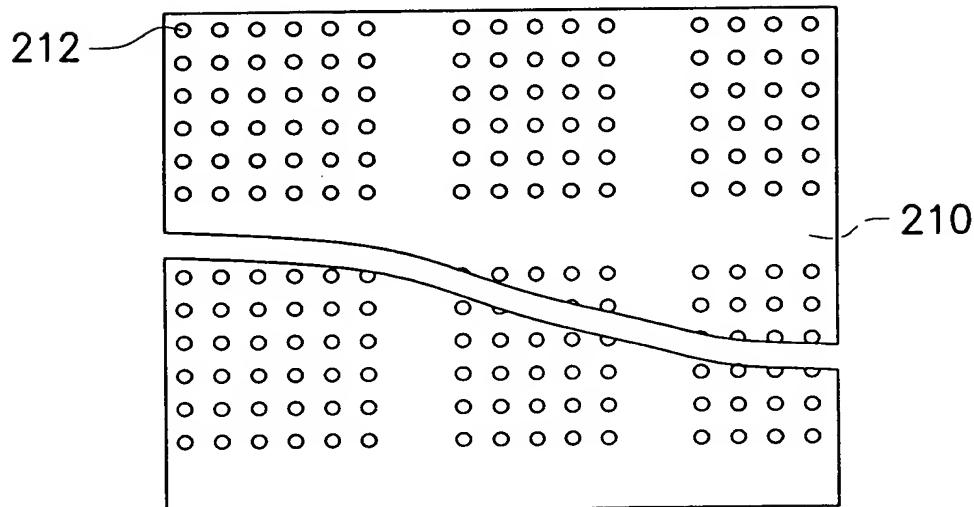
第 4B 圖

203

第 5A 圖

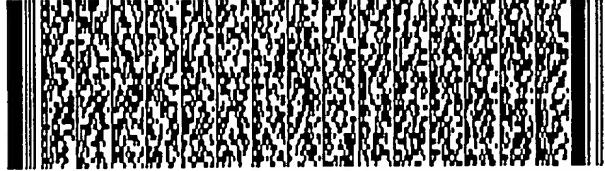
204

第 5B 圖

205

第 6 圖

第 1/12 頁



第 2/12 頁



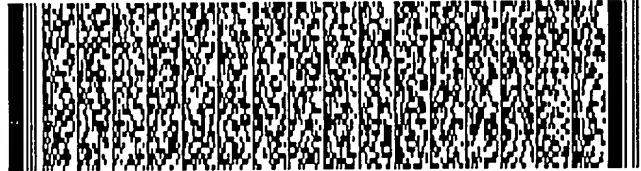
第 2/12 頁



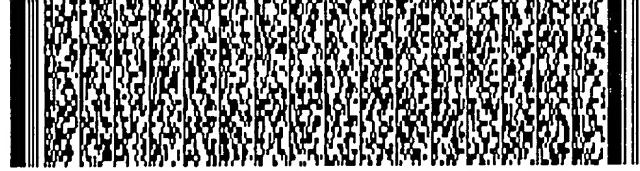
第 3/12 頁



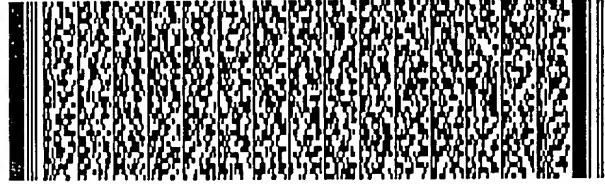
第 4/12 頁



第 4/12 頁



第 5/12 頁



第 5/12 頁



第 6/12 頁



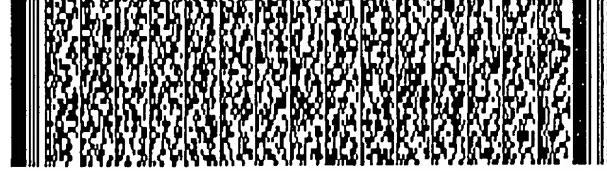
第 6/12 頁



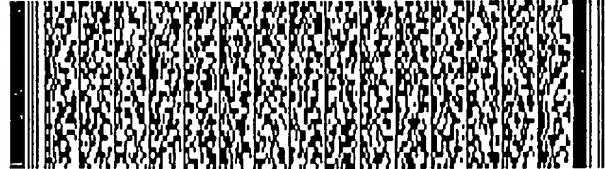
第 7/12 頁



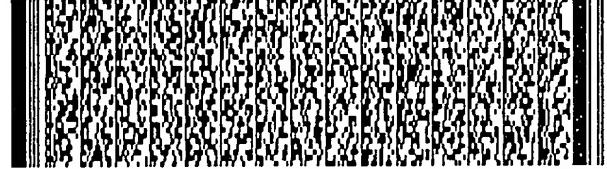
第 7/12 頁



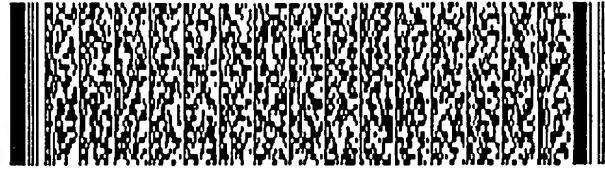
第 8/12 頁



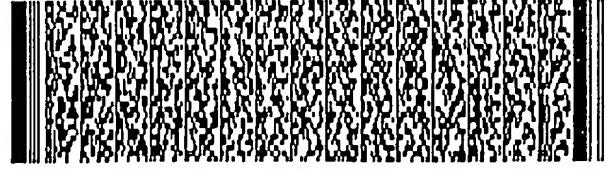
第 8/12 頁



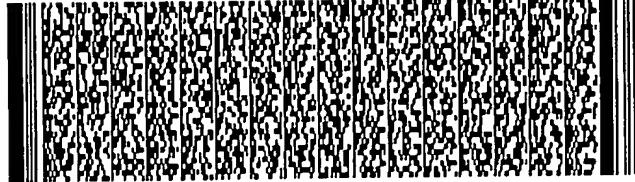
第 9/12 頁



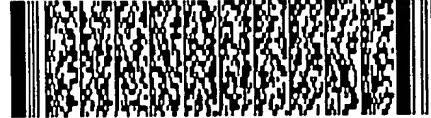
第 9/12 頁



第 10/12 頁



第 11/12 頁



第 12/12 頁

